

縦型MOSFETによるSRAMの高性能化に関する研究

著者	小笠原 良介
雑誌名	東北大学電通談話会記録
巻	89
号	1
ページ	66-67
発行年	2020-08-31
URL	http://hdl.handle.net/10097/00128978

修士学位論文要約（令和2年3月）

縦型 MOSFET による SRAM の高性能化に関する研究

小笠原 良介

指導教員：遠藤 哲郎

Study on High Performance SRAM with Vertical MOSFET

Ryosuke OGASAWARA

Supervisor: Tetsuo ENDOH

In this paper, it is shown that 60 nm vertical Body Channel (BC) MOSFET based 6T SRAM achieves 0.84 V operation under the best Power Delay Product (PDP). Moreover, its PDP is improved by 31% in comparison with the 6T SRAM based on conventional planar MOSFET which has the same channel length and channel width as those of the vertical BC-MOSFET. Additionally, vertical BC-MOSFET based 6T SRAM achieves the improvement of 8.8% Read Static Noise Margin (RSNM), 16% Write Margin (WM). Moreover, the dependency of cell ratio on vertical BC-MOSFET based 6T SRAM is made clear. The policy of optimal design of SRAM with cell ratio is shown by comparing the performance of 6T SRAMs with 3 types of cell ratio widely used for High Density, Low Voltage and High Performance applications. Furthermore, the performance of 8 types of 6T SRAM cells are evaluated by considering the asymmetric characteristics of vertical BC-MOSFET. It is shown that the performance of 6T SRAM cell can be improved by utilizing the asymmetric characteristics of vertical BC-MOSFET for each evaluation index.

1. はじめに

コンピュータの高性能化やそれに伴うマルチコア化のため、必要なキャッシュメモリサイズ及び、SoC(System on Chip)におけるキャッシュメモリの専有面積割合は増加してきた。また、Moore の法則に従って、CMOS 技術はスケーリングを続けてきたが、SRAM のセルサイズ及び動作電源電圧のスケーリングは鈍化してきている。そのため、将来の MPU(Micro Processing Unit) , MCU(Micro Controller Unit), GPU(Graphics Processing Unit)などのための、高集積かつ低消費電力で高速動作するキャッシュメモリが求められている。

また、CMOS のスケーリングによって生じてきた諸問題を解決するために、縦型 BC-MOSFET, UTB (Ultra Thin Body) FET, double gate MOSFET, FinFET, TriGate などの三次元構造トランジスタが提案され、研究されてきた。それらの中でも、縦型 BC-MOSFET は、図 1 に示すように、Gate-All-Around (GAA) 構造を有している。また、そのデバイス構造から、縦型 BC-MOSFET は従来の平面型 MOSFET と比較して、トランジスタ面積の減少、バックバイアスフリー、駆動電流密度の増加、ショートチャネル効果の抑制、Sub-threshold swing(S 値)の改善、他の三次元構造 MOSFET と比較して閾値電圧の制御が容易であるというメリットを持つ。

2. 縦型 MOSFET による 6T SRAM の高性能化

縦型 BC-MOSFET による 6T SRAM セル及び 6T SRAM アレイを構成し、安定性、リーク電流、高速動作、低消費電力をシミュレーションによって取得し、定量的に評価した。また、それらの結果を、平面型 MOSFET を用いた場合と比較考察し、縦型 BC-MOSFET による 6T SRAM の高性能化を示した。表 1 に示したように、縦型 BC-MOSFET を用いることで、6T SRAM において今回取得した全ての性能指標が向上することが結果として得られた。電源電圧 1.00 V の場合、縦型 BC-MOSFET を用いることで、read と write 動作時の安定性である RSNM(Read Static Noise Margin), WM(Write Margin)をそれぞれ

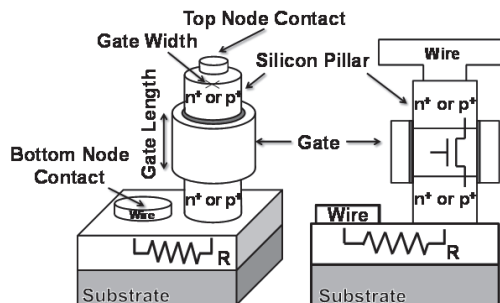


図 1 縦型 BC-MOSFET のデバイス構造。

8.8%, 16%向上可能であることが得られた。また, 低電源電圧化の観点から, 平面型 MOSFET の場合と同じ安定性を維持した状態で, 電源電圧をそれぞれ, 0.14 V, 0.09 V 低下可能であることを示した。0.70 V から 1.00 V の各電源電圧において, 6T SRAM セルのリーク電流を約 90%削減可能であることを示した。また, read と write 動作の遅延時間である read time, write time を各電源電圧において, 約 15%, 約 21% 削減可能であることを示した。縦型 BC-MOSFET を用いることで, write 動作時において, 同じスピードであれば 30% の低消費電力化, 同じ消費電力であれば, 30%の高速化が実現可能であることを示した。

また, 図 2 に縦型 BC-MOSFET を用いた 6T SRAM と平面型 MOSFET を用いた 6T SRAM の PDP のシミュレーション結果を示す。電力遅延席である PDP を電源電圧 0.70 V から 1.20 V において, 18% から 31%削減可能であること, PDP を最小にする最適化電圧を 0.91 V から 0.84 V に低下可能であることがわかる。各性能指標向上の理由を考察し, 縦型 BC-MOSFET の持つ高駆動力特性, バックバイアスフリー特性, 優れた S 値によって性能が向上することが成果として得られた²⁾。

3. 縦型 MOSFET を用いた 6T SRAM のセルレシオ依存性

HD(High Density)向け, LV(Low Voltage)向け, HP(High Performance)向けに工業的に 3 種類のセルレシオの 6T SRAM セルが広く用いられている。それぞれのセルレシオのセルによって構成された 6T SRAM の性能を取得し, 比較考察した。各セルレシオの 6T SRAM において, 縦型 BC-MOSFET を用いることで, RSNM, WM, read time, write time 全ての指標が向上することを示した。また, HD 向け Vertical BC アレイは HP 向け Planar アレイと比較して, トランジスタのサイズをアップせずに, RSNM を 28%増加, リーク電流を 94%減少, 高速動作(Read Time, Write Time を 1.8%, 14%減少)を実現可能であるという成果が得られた³⁾。

4. 縦型 MOSFET に非対称特性を活用した 6T SRAM セルの設計

縦型 BC-MOSFET は, その非対称なデバイス構造から, 非対称な I-V 特性を有することが知られている。縦型 BC-MOSFET の非対称特性と 6T SRAM の安定性を考慮した 8 種類の 6T SRAM セルを構成し, RSNM, WM, read time, write time を取得し, 結果をセル設計の観点から考察した。非対称特性を利用することで縦型 BC-MOSFET のデバイスプロセス技術を変えことなく, CMOS の接続構造を変えるだけで, 目的に応じて各性能指標を最も良くするような, SRAM セルを設計することが可能であるという成果が得られた⁴⁾。

表 1 縦型 BC-MOSFET を用いた 6T SRAM と平面型 MOSFET を用いた 6T SRAM のベンチマークテーブル。

Type of MOSFET	Planar	Vertical BC	Improvement
SNM(V)	0.383	0.407	+6.3%
RSNM(V)	0.171	0.186	+8.8%
WM(V)	0.339	0.394	+16%
Leakage(nA)	0.446	0.049	-89%
Read Time(ns)	0.300	0.270	-10%
Write Time(ns)	0.887	0.705	-21%
Write Power(μ W)	0.602	0.571	-5.1%
PDP(fJ)	0.534	0.402	-25%

5. まとめ

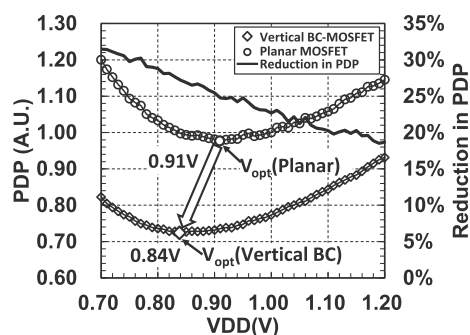


図 2 PDP のシミュレーション結果と最適電源電圧。

縦型 MOSFET によって, SRAM を高性能化(高安定化, 高速化, 低消費電力化, 低電源電圧化)可能であることを示した。縦型 BC-MOSFET によって構成された SRAM 技術が, 将来の MPU, MCU, GPU などのための, 低消費電力で高速動作するキャッシュメモリに有用な技術であることを, 回路シミュレータ (HSPICE) を用いて示した。

文献

- 1) T. Imamoto, Y. Ma and T. Endoh, Japanese Journal of Applied Physics, 54 (2015) 04DC11.
- 2) R. Ogasawara and T. Endoh, International Conference on Solid State Devices and Materials (SSDM 2017), A-6-02, 2017.
- 3) R. Ogasawara and T. Endoh, Japanese Journal of Applied Physics, 57 (2018) 04FE12.
- 4) R. Ogasawara and T. Endoh, Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2017), 5A-2, 2017.